

**CONSTITUTION:** An a-Si thin film 101 is laminated on a supporting layer 100 comprising an insulating amorphous material such as insulating amorphous material layer e.g. SiO<sub>2</sub> by a low pressure CVD process, etc. Successively, hydrogen plasma is applied to the a-Si thin film. Next, the a-Si thin film is annealed for solid growth to be polycrystallized into poly-Si. At this time, the annealing step in hydrogen atmosphere can bring about the excellent effect of diffusing no nitrogen in the a-Si thin film 101 while enhancing the mobility of the thin film 101 after the solid growth step. Next, a gate electrode 103 is formed and an impurity element is ion-implanted using the gate electrode 103 as a mask to form a source region 104 and a drain region 105. Successively, an interlayer insulating film 107 is formed. Finally, the contact electrodes 108 between the source region 104 and the drain region 105 are formed.

DIALOG(R)File 352:Derwent WPI  
(c) 2002 Derwent Info Ltd. All rts. reserv.  
009259448      \*\*Image available\*\*

WPI Acc No: 1992-386861/199247

XRAM Acc No: C92-171851

XRPX Acc No: N92-294989

Mfg. semiconductor device - by producing crystal core from surface of  
amorphous silicon@ thin film by annealing, to allow high mobility of  
electric filed effect    NoAbstract

Patent Assignee: SEIKO EPSON CORP (SHIH    )

Number of Countries: 001    Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<b>JP 4286336</b>	A	19921012	JP 9151246	A	19910315	199247    B

Priority Applications (No Type Date): JP 9151246 A 19910315

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 4286336	A	6	H01L-021/336	

Title Terms: MANUFACTURE; SEMICONDUCTOR; DEVICE; PRODUCE; CRYSTAL;  
CORE; SURFACE; AMORPHOUS; SILICON; THIN; FILM; ANNEAL; ALLOW; HIGH;  
MOBILE; ELECTRIC; FILE; EFFECT; NOABSTRACT

Derwent Class: L03; U11; U12

International Patent Class (Main): H01L-021/336

International Patent Class (Additional): H01L-021/20; H01L-021/324;  
H01L-029/784

File Segment: CPI; EPI

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-286336

(43) 公開日 平成4年(1992)10月12日

(51) Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/336

29/784

21/20

21/324

9171-4M

P 8617-4M

9056-4M

H 0 1 L 29/ 78

3 1 1 Y

審査請求 未請求 請求項の数2(全 6 頁) 最終頁に続く

(21) 出願番号

特願平3-51246

(22) 出願日

平成3年(1991)3月15日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 佐藤淳史

長野県諏訪市大和3丁目3番5号セイコー

エプソン株式会社内

(74) 代理人 弁理士 鈴木 喜三郎 (外1名)

(54) 【発明の名称】 半導体装置の製造方法

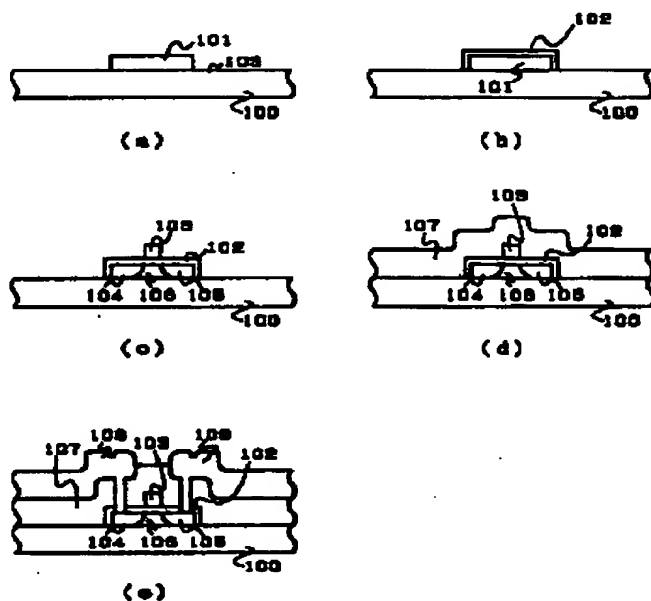
(57) 【要約】

(修正有)

【目的】 固相成長アニールの際に非晶質シリコン薄膜101表面から結晶核を発生させる。

【構成】 減圧CVD法やプラズマCVD法により成膜した、非晶質シリコン薄膜表面の自然酸化膜を、水素プラズマの水素ラジカルにより還元除去した後、固相成長アニールする。

【効果】 非晶質シリコン薄膜を成膜した下地の材質に依存せずに結晶性の良い固相成長多結晶シリコン薄膜106と、電界効果易動度が大きい固相成長多結晶薄膜トランジスタを得ることができる。



## 【特許請求の範囲】

【請求項1】 絶縁ゲート型電界効果トランジスタのチャネル領域の少なくとも一部が非単結晶半導体よりなる半導体装置の製造方法に於いて、非晶質半導体薄膜を形成する工程と、該非晶質半導体薄膜に水素プラズマを施す工程と、該非晶質半導体薄膜をアニールして多結晶化する工程とを少なくとも含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記非晶質半導体薄膜がプラズマCVD法にて形成された非晶質半導体薄膜であることを特徴とする請求項1記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に関する。

【0002】

【従来の技術】 多結晶シリコン薄膜トランジスタ (poly-Si TFT) は、密着型イメージセンサ・液晶ディスプレイ等、ドライバ内蔵型のデバイスに使用されている。

【0003】 poly-Si TFTの主要部であるチャネルpoly-Si薄膜の作成方法には①減圧CVD法で580℃～650℃程度の温度で成膜する、②プラズマCVD等でa-Si薄膜を成膜して600℃程度の温度で固相成長アニールを行い多結晶化する、③減圧CVD法などでpoly-Si薄膜作成後、シリコンイオン注入により非晶質化した後、固相成長アニールを行って再結晶化する、等の方法がある。

【0004】 このうち、プラズマCVD法成膜のa-Si薄膜を固相成長させる方法は、①プラズマCVD法では、大面積に亘り均一な膜が比較的容易に得られる、②固相成長法では、多数枚の基板を同時に処理できる、不活性ガス中でアニールするという比較的簡単な方法で大粒径のpoly-Si薄膜が得られる、という点で優れている。

【0005】 固相成長アニールの方法としては、不活性ガスとして窒素雰囲気中でのアニールが行われている。アニール温度は600℃程度で、1時間～100時間程度行うことによりa-Si薄膜中に結晶核が現れ、成長していく。

【0006】 固相成長アニールの過程で、a-Si薄膜のどの部分に結晶核が発生するかについては、①a-Si薄膜の表面から発生する、②下地とa-Si薄膜との界面（以下下地界面）から発生する、③表面でも下地界面でもないa-Si薄膜の内部から発生する、の3つの場合がある。

【0007】 下地界面や内部から結晶核が発生するならば、①下地の材質や状態で結晶核発生密度が変わり易い、②結晶成長は表面に向かって進むので、表面に到達する頃には双晶が複雑に組み合っており、表面での易動

度が減少する、等の欠点がある。固相成長アニール後のSi薄膜の上方にゲート絶縁膜などを積層して、表面側がトランジスタの絶縁膜-チャネル界面（以下絶縁膜界面）となることから、ひいては絶縁膜界面準位の増大から、poly-Si TFTの特性の悪化を招く原因ともなる。

【0008】

【発明が解決しようとする課題】 そこで本発明はa-Si薄膜の固相成長アニールで発生する結晶核の発生位置を該a-Si薄膜の表面側とするものであり、その目的とするところは、良好な特性を持つ半導体装置の製造方法を提供するところにある。

【0009】

【課題を解決するための手段】 本発明の半導体装置の製造方法は以下を特徴とする。

【0010】 (1) 絶縁ゲート型電界効果トランジスタのチャネル領域の少なくとも一部が非単結晶半導体よりなる半導体装置の製造方法に於いて、非晶質半導体薄膜を形成する工程と、該非晶質半導体薄膜に水素プラズマを施す工程と、該非晶質半導体薄膜をアニールして多結晶化する工程とを少なくとも含むことを特徴とする。

【0011】 (2) 前記非晶質半導体薄膜がプラズマCVD法にて形成された非晶質半導体薄膜であることを特徴とする。

【0012】

【実施例】 (実施例1) 本発明の実施例を、図1の本発明に於ける薄膜トランジスタの工程図に従って説明する。

【0013】 図1(a)は、ガラス、石英などの絶縁性非晶質基板若しくはSiO<sub>2</sub>等の絶縁性非晶質材料層などの絶縁性非晶質材料からなる支持層100表面上に、減圧CVD法などによりa-Si薄膜101を積層し、その後ホトリソグラフィ法により該a-Si薄膜をパタニングする工程である。該a-Si薄膜の成膜方法としては、①減圧CVD法で520℃～580℃程度でa-Si薄膜を成膜する、②EB蒸着法、スパッタ法、プラズマCVD法等でa-Si薄膜を成膜する、③減圧CVD法等でpoly-Si薄膜を堆積後、イオンインプランテーション法によりSi等を打ち込み、該poly-Si薄膜を非晶質化する、等の方法がある。本実施例では減圧CVD法成膜のa-Si薄膜の場合について説明する。該a-Si薄膜の成膜ガスはSiH<sub>4</sub>ガスであり、該a-Si薄膜の成膜条件は、挿入時温度400℃、昇温時Heガス希釈、昇温時圧力0.15～0.2 Torr、成膜時基板温度520～580℃、SiH<sub>4</sub>流量120 sccm、成膜時内圧30 mTorr～50 mTorrであった。但し、成膜条件はこれに限定されるものではない。また本実施例では、減圧CVD法成膜のa-Si薄膜を用いたが、成膜方法はこれに限定されるものではない。続いて、該a-Si薄膜に水素プラ

3

ズマを施す。この効果については後述する。水素プラズマには $H_2$ の100%ガスを用い、到達真空度 $3 \times 10^{-11} \sim 1 \times 10^{-10}$  Torr、基板温度 $200^\circ C \sim 450^\circ C$ 、真空槽内圧1.8 Torrで、周波数13.56 MHzのRF電源を用いた。a-Si薄膜の膜厚は100 Å程度であり、RFパワーを0.4~0.8 W/cm<sup>2</sup>にして行った。次に該a-Si薄膜の固相成長アニールを行い多結晶化(poly-Si化)する。固相成長アニールの方法としては、水素雰囲気中でのアニールを行った。不活性ガスの窒素雰囲気中で行ってもよいが、水素雰囲気中のアニールでは該a-Si薄膜中に窒素が拡散せず、固相成長後のa-Si薄膜の易動度を上げる効果がある点で優れている。真空中で固相成長アニールを行っても同様の効果がある。アニール温度は $550^\circ C \sim 600^\circ C$ 程度(但し該a-Si薄膜の成膜時基板温度が $550^\circ C$ を越える場合は、成膜時基板温度 $\sim 600^\circ C$ 程度)で、1時間~100時間程度行うことによりa-Si薄膜中に結晶核が現れ、成長していく。固相成長アニールによって結晶成長が起こり、結晶粒径300 Å~3000 Å(15時間以上で2000 Å~3000 Å)の大粒径のpoly-Si薄膜が形成される。また結晶体積比は70%以上になる。また、該薄膜のパタニングは固相成長アニールの前に行っても良い。固相成長アニールの過程でa-Si薄膜のどの部分に結晶核が発生するかについては、①a-Si薄膜の表面から発生する、②下地界面から発生する、③表面でも下地界面でもないa-Si薄膜の内部から発生する、の3つの場合がある。表面から結晶核が発生するならば、①下地の材質や状態によらず結晶核発生密度が一定である、②結晶成長は表面から内部に向かって進むので、表面では結晶成長初期の比較的結晶性の良い多結晶状態となっているので易動度が増大する、等の利点がある。固相成長アニール後のSi薄膜上にはゲート絶縁膜を積層され、Si薄膜の表面側がトランジスタの絶縁膜界面となることから、ひいては絶縁膜界面準位が低減され、poly-Si TFTの特性が向上するという利点もある。本発明の、水素プラズマを施したa-Si薄膜では、固相成長アニールの過程で表面から結晶核が発生する。この理由は次のように説明される。例えばMBE法を用いて超高真空中で成膜した清浄表面を持つa-Si薄膜に固相成長アニールを施した場合には該a-Si薄膜の表面で結晶核の発生が起こるが、一度大気中に取り出したa-Si薄膜では、超高真空中で固相成長アニールを施しても下地界面から結晶核が発生する。後者の場合、表面からの核発生を阻害している原因は大気中に取り出したために形成された自然酸化膜である。自然酸化膜が存在する状態では表面から数原子層まで酸素原子が入り込みシリコン原子の自由度を奪うので、a-Si薄膜表面よりも、むしろ下地界面で結晶核が発生し易くなる。それに対し、清浄表面では原子に比較的多くの自由度があるためa-S

4

i薄膜の表面から結晶核が発生し易い。すなわち、水素プラズマで自然酸化膜を除去することによって表面が清浄表面に近づき、結晶核の表面からの発生が促され、良好な結晶状態の固相成長poly-Si薄膜が得られるのである。水素プラズマの場合は水素ラジカルにより自然酸化膜が還元され、酸素はOHや水の形で除去される。自然酸化膜を除去する方法としては他に $900^\circ C$ 程度の水素雰囲気中でのアニールがあるが、a-Si薄膜にこの処理を施すと、高温のため一気に結晶核が発生して微結晶状態となってしまう大粒径のpoly-Si薄膜は得られない。尚、超高真空中で成膜したa-Si薄膜をそのまま固相成長アニールすれば自然酸化膜は形成されないが、超高真空状態を作り、超高真空中でa-Si薄膜を成膜するにはMBE法などを用いなければならず実用には余り向いていない。固相成長アニールにより前記a-Si薄膜を多結晶化した後、図1(b)に示すように熱酸化法等によりゲート絶縁膜102を形成する。ドライ酸化法を用いれば酸素雰囲気中で約 $1150^\circ C$ の熱処理を行なうことによって、絶縁耐圧の高いゲート絶縁膜を得ることが出来る。ウェット酸化法を用いれば $900^\circ C$ 程度の低温の熱処理でもゲート絶縁膜が形成されるが、ドライ酸化法で形成されたゲート絶縁膜に比べれば絶縁耐圧は低く、膜質は劣る。この熱酸化工程で固相成長アニールによって多結晶化した前記a-Si薄膜の結晶成長が進み、対体積結晶化率が向上し、結晶粒径が拡大する。尚、前記ゲート絶縁膜の形成方法としては上述の熱酸化法に限らず、CVD法、プラズマCVD法、ECRプラズマCVD法、光CVD法、スパッタ法等でSiO<sub>2</sub>膜を形成する方法、プラズマ酸化法等で低温酸化する方法等もある。これらの方法は、工程の温度を $600^\circ C$ 程度以下の低温に出来るため、基板として安価なガラス基板を用いることも可能となる点で優れている。次に図1(c)に示すようにゲート電極103を形成し、該ゲート電極をマスクとして不純物元素をイオン注入して、ソース領域104及びドレイン領域105を形成する(この工程に伴って、チャネル領域106も自動的に形成される)。続いて図1(d)に示すように層間絶縁膜107を積層する。そしてソース領域及びドレイン領域のコンタクト電極108を形成すれば薄膜トランジスタが完成する(図1(e))。本発明により形成したpoly-Si TFTの電界効果移動度は基板温度 $540^\circ C$ で成膜した場合Nchで $40 \sim 42 \text{ cm}^2/\text{V} \cdot \text{s}$ となり、水素プラズマを行わずに固相成長アニールした場合( $15 \sim 30 \text{ cm}^2/\text{V} \cdot \text{s}$ )と比べて大幅な特性向上が為された。また、水素プラズマを行わずに固相成長アニールした場合は、下地の材質による影響を受けて電界効果移動度が変化している。たとえば下地として石英基板を用いた場合 $15 \sim 20 \text{ cm}^2/\text{V} \cdot \text{s}$ 、石英基板上にSiO<sub>2</sub>膜を形成した場合 $15 \sim 25 \text{ cm}^2/\text{V} \cdot \text{s}$ 、石英基板上にSiN<sub>x</sub>膜を形成した場合 $15 \sim$

5

30 cm<sup>2</sup>/V・s となっている。しかし、本発明により形成した poly-Si TFT では、これらの下地の違いに依らず電界効果移動度は一定 (Nch で 40~42 cm<sup>2</sup>/V・s) であった。

【0014】(実施例2) 本発明の実施例を、図1の本発明に於ける薄膜トランジスタの工程図に従って説明する。

【0015】図1(a)は、ガラス、石英などの絶縁性非晶質基板若しくは SiO<sub>2</sub> 等の絶縁性非晶質材料層などの絶縁性非晶質材料からなる支持層100表面上に、プラズマCVD法により a-Si 薄膜101を積層し、その後ホトリソグラフィ法により該 a-Si 薄膜をパタニングする工程である。該 a-Si 薄膜の成膜ガスは SiH<sub>4</sub> 及び H<sub>2</sub> ガスであり、該 a-Si 薄膜の成膜条件は、到達真空度 5×10<sup>-12</sup>~1×10<sup>-5</sup> Torr (1×10<sup>-9</sup> Torr 以下では成膜時に a-Si 薄膜中に不純物を含みにくいことから特に望ましい)、基板温度 100~300℃、真空槽内圧 0.8 Torr で、周波数 13.56 MHz の RF 電源を用いた。但し、成膜条件はこれに限定されるものではない。続いて、該 a-Si 薄膜に水素プラズマを施す。この効果については後述する。水素プラズマには H<sub>2</sub> の 100% ガスを用い、到達真空度 3×10<sup>-12</sup>~1×10<sup>-5</sup> Torr、基板温度 200℃~450℃、真空槽内圧 1.8 Torr で、周波数 13.56 MHz の RF 電源を用いた。a-Si 薄膜の膜厚は 1000 Å 程度であり、RF パワーを 0.4~0.8 W/cm<sup>2</sup> にして行った。次に該 a-Si 薄膜の固相成長アニールを行い多結晶化 (poly-Si 化) する。固相成長アニールの方法としては、水素雰囲気中でのアニールを行った。不活性ガスの窒素雰囲気中で行ってもよいが、水素雰囲気中のアニールでは該 a-Si 薄膜中に窒素が拡散せず、固相成長後の a-Si 薄膜の移動度を上げる効果がある点で優れている。真空中で固相成長アニールを行っても同様の効果がある。アニール温度は 550℃~650℃程度で、1時間~100時間程度行うことにより a-Si 薄膜中に結晶核が現れ、成長していく。固相成長アニールによって Si 薄膜中の水素の脱離と結晶成長が起こり、結晶粒径 1 μm~10 μm (40時間以上で 2 μm~10 μm) の大粒径の poly-Si 薄膜が形成される。また結晶体積比は 90% 以上になる。尚、固相成長アニールではアニール前の温度から設定アニール温度に達するまでの昇温速度を毎分 20 deg. よりも遅くして行う (毎分 5 deg. よりも遅くすると特に望ましい)。その理由とするところは、前記昇温速度よりも速く所定のアニール温度まで昇温すると、特に 300℃ を越えてから顕著な現象であるが、前記 a-Si 薄膜中の水素の脱離にともなって該薄膜中に欠陥を生じ易くなり、ひいては該薄膜の剥離を来す事もあるからである。また、該薄膜のパタニングは固相成長アニールの前に行っても良い。固相成長アニール

6

の過程で a-Si 薄膜のどの部分に結晶核が発生するかについては、① a-Si 薄膜の表面から発生する、② 下地界面から発生する、③ 表面でも下地界面でもない a-Si 薄膜の内部から発生する、の3つの場合がある。表面から結晶核が発生するならば、① 下地の材質や状態によらず結晶核発生密度が一定である、② 結晶成長は表面から内部に向かって進むので、表面付近では結晶成長初期の比較的結晶性の良い多結晶状態となっているので移動度が増大する、等の利点がある。固相成長アニール後の Si 薄膜の上方にゲート絶縁膜などを積層して、表面側がトランジスタの絶縁膜界面となることから、ひいては絶縁膜界面準位が低減され、poly-Si TFT の特性が向上するという利点もある。本発明の、水素プラズマを施した a-Si 薄膜では、固相成長アニールの過程で表面から結晶核が発生する。この理由は次のように説明される。例えば MBE 法を用いて超高真空下で成膜した清浄表面を持つ a-Si 薄膜に固相成長アニールを施した場合には該 a-Si 薄膜の表面で結晶核の発生が起こるが、一度大気中に取り出した a-Si 薄膜では、超高真空下で固相成長アニールを施しても下地界面から結晶核が発生する。超高真空に於いては薄膜表面は清浄表面に保たれており、後者の場合表面からの核発生を阻害している原因は大気中に取り出したために形成された自然酸化膜である。自然酸化膜が存在する状態では表面から数原子層まで酸素原子が入り込みシリコン原子の自由度を奪うので、a-Si 薄膜表面よりも、むしろ下地界面で結晶核が発生し易くなる。それに対し、清浄表面では原子に比較的多くの自由度があるため a-Si 薄膜の表面から結晶核が発生し易い。すなわち、水素プラズマで自然酸化膜を除去することによって表面が清浄表面に近づき、結晶核の表面からの発生が促され、良好な結晶状態の固相成長 poly-Si 薄膜が得られるのである。水素プラズマの場合は水素ラジカルにより自然酸化膜が還元され、酸素は OH や水の形で除去される。自然酸化膜を除去する方法としては他に 900℃ 程度の水素雰囲気中でのアニールがあるが、a-Si 薄膜にこの処理を施すと、高温のため一気に結晶核が発生して微結晶状態となってしまう大粒径の poly-Si 薄膜は得られない。前記 a-Si 膜の成膜方法としてプラズマCVD法を用いた場合には、水素プラズマ処理も同一のプラズマCVD装置で行える点で他の成膜方法よりも有利である。尚、超高真空下で成膜した a-Si 薄膜をそのまま固相成長アニールすれば自然酸化膜は形成されないが、超高真空状態を作り、超高真空下で a-Si 薄膜を成膜するには MBE 法などを用いなければならず実用には余り向いていない。固相成長アニールにより前記 a-Si 薄膜を多結晶化した後、図1(b)に示すように熱酸化法等によりゲート絶縁膜102を形成する。ドライ酸化法を用いれば酸素雰囲気中で約 1150℃ の熱処理を行なうことによって、絶縁耐圧の高いゲート絶縁膜を

7

8

得ることが出来る。ウェット酸化法を用いれば900℃程度の低温の熱処理でもゲート絶縁膜が形成されるが、ドライ酸化法で形成されたゲート絶縁膜に比べれば絶縁耐圧は低く、膜質は劣る。この熱酸化工程で固相成長アニールによって多結晶化した前記a-Si薄膜の結晶成長が進み、対体積結晶化率が向上し、結晶粒径が拡大する。尚、前記ゲート絶縁膜の形成方法としては上述の熱酸化法に限らず、CVD法、プラズマCVD法、ECRプラズマCVD法、光CVD法、スパッタ法等でSiO<sub>2</sub>膜を形成する方法、プラズマ酸化法等で低温酸化する方法等もある。これらの方法は、工程の温度を600℃程度以下の低温に出来るため、基板として安価なガラス基板を用いることも可能となる点で優れている。次に図1(c)に示すようにゲート電極103を形成し、該ゲート電極をマスクとして不純物元素をイオン注入して、ソース領域104及びドレイン領域105を形成する(この工程に伴って、チャネル領域106も自動的に形成される)。続いて図1(d)に示すように層間絶縁膜107を積層する。そしてソース領域及びドレイン領域のコンタクト電極108を形成すれば薄膜トランジスタが完成する(図1(e))。本発明により形成したpoly-Si TFTの電界効果移動度はNchで100~130 cm<sup>2</sup>/V・sとなり、水素プラズマを行わずに固相成長アニールした場合(50~100 cm<sup>2</sup>/V・s)と比べて大幅な特性向上が為された。また、水素プラズマを行わずに固相成長アニールした場合は、下地の材質による影響を受けて電界効果移動度が変化している。たとえば下地として石英基板を用いた場合50~70 cm<sup>2</sup>/V・s、石英基板上にSiO<sub>2</sub>膜を形成した場

合50~85 cm<sup>2</sup>/V・s、石英基板上にSiN<sub>x</sub>膜を形成した場合55~100 cm<sup>2</sup>/V・sとなっている。しかし、本発明により形成したpoly-Si TFTでは、これらの下地の違いに依らず電界効果移動度は一定(Nchで100~130 cm<sup>2</sup>/V・s)であった。

【0016】

【発明の効果】以上説明したように本発明の半導体装置の製造方法を用いることにより、結晶核の発生がa-Si薄膜の表面から起こるため表面付近での結晶性が良い固相成長poly-Si薄膜と、下地に依らず電界効果移動度の大きいpoly-Si TFTを得ることが出来る。

【0017】また、本発明の薄膜半導体装置の製造方法は3次元IC、4メガSRAM等にも使用が可能である。

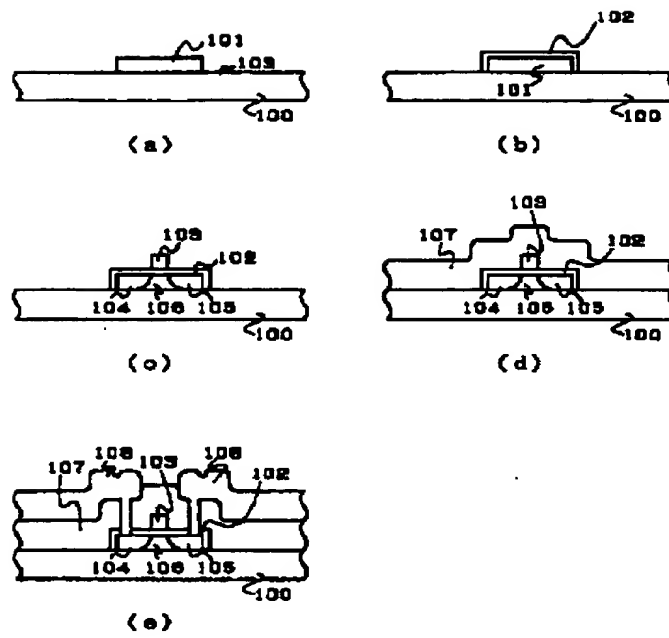
【図面の簡単な説明】

【図1】(a)~(e)は、本発明の実施例に於ける半導体装置の製造方法の一例を示す工程断面図である。

【符号の説明】

- 100 絶縁性支持層
- 101 a-Si薄膜
- 102 ゲート絶縁膜
- 103 ゲート電極
- 104 ソース領域
- 105 ドレイン領域
- 106 チャネル領域
- 107 層間絶縁膜
- 108 コンタクト電極

【図1】



フロントページの続き

(51) Int. Cl. 5

H01L 27/12

識別記号

片内整理番号

R 8728-4M

F I

技術表示箇所